















转录逻辑门

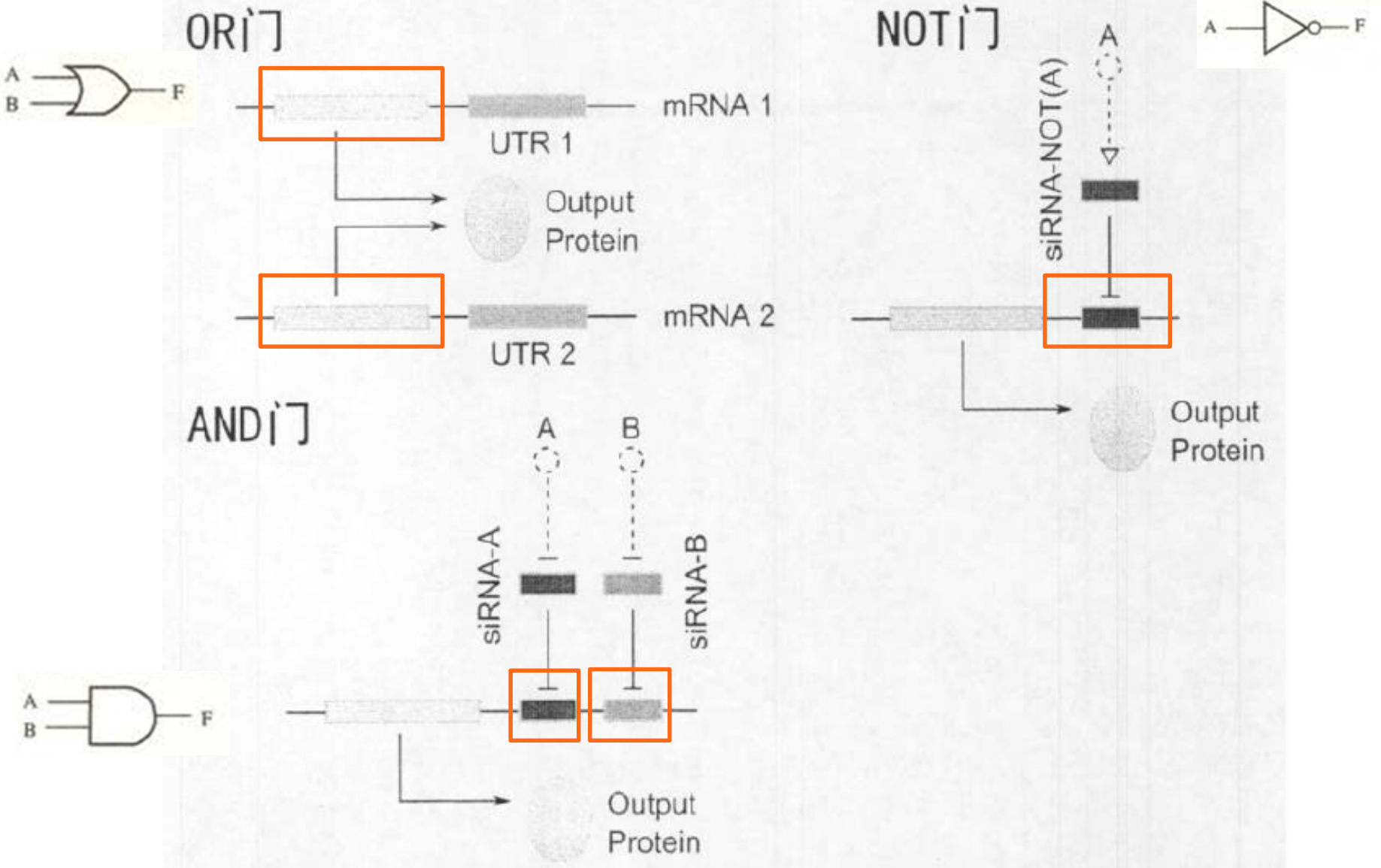
——雷阳

逻辑门符号

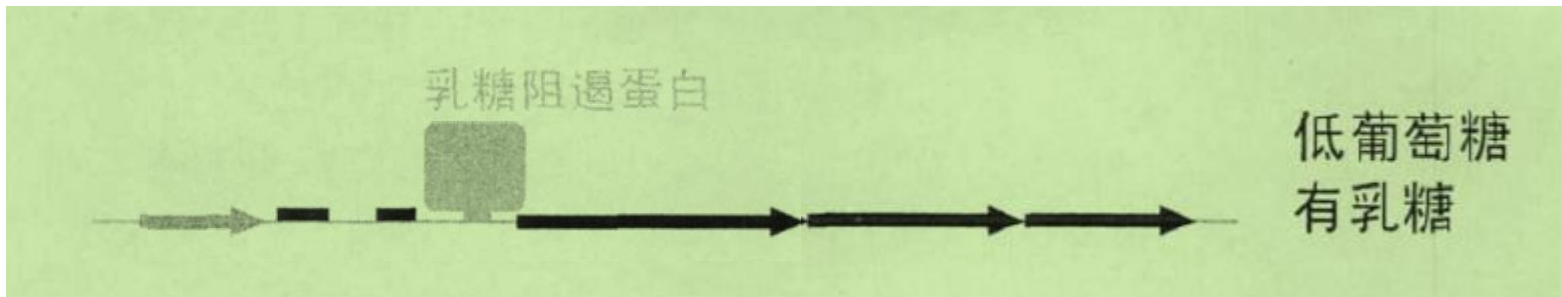
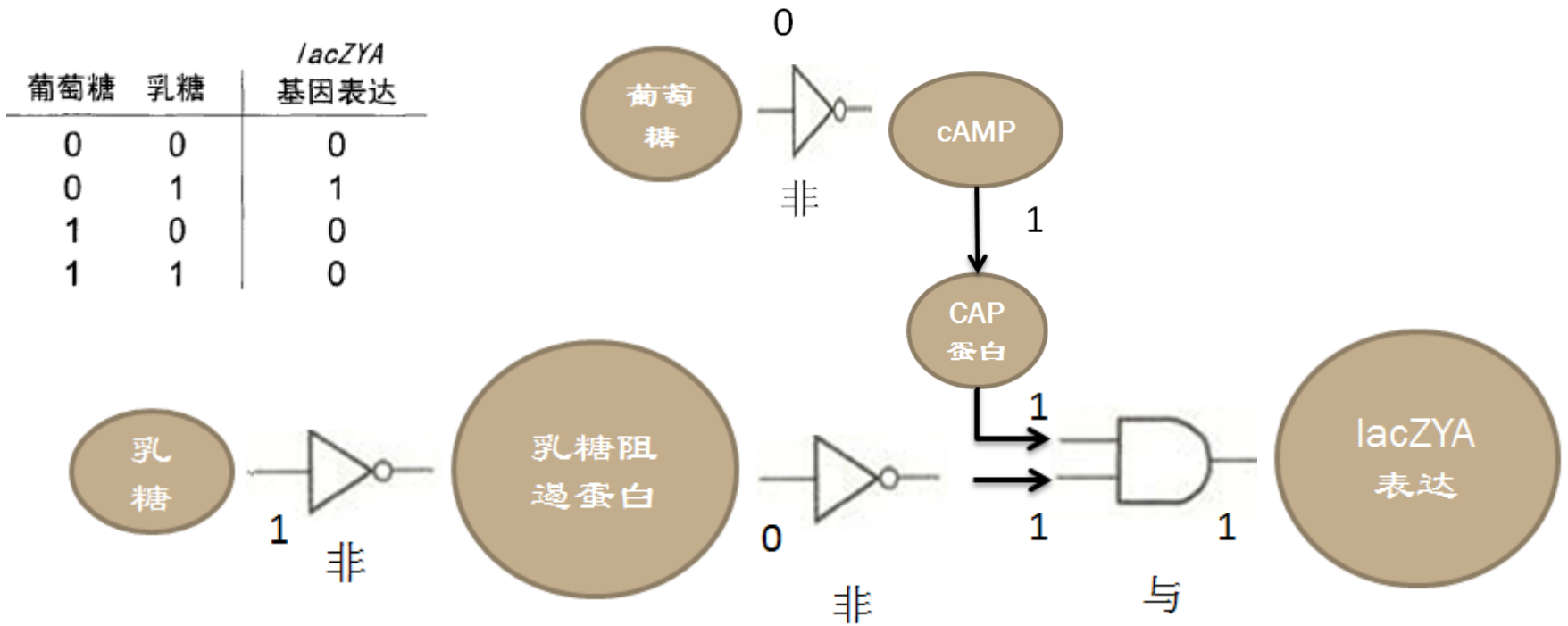
逻辑门	IEEE 推荐符号	我国部颁符号	输出表达式	标准符号
“与”门			$F=A \cdot B$	
“或”门			$F=A+B$	
“非”门			$F=\bar{A}$	
“与非”门			$F=\overline{A \cdot B}$	
“或非”门			$F=\overline{A+B}$	
“异或”门			$F=A \oplus B$ $=A\bar{B} + \bar{A}B$	
“与或非”门			$F=\overline{AB+CD}$	

NOT			"非"门/反相器/"反"门/逆变器	输入的高低状态会逆转。	\bar{A}	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A</th> <th>NOT A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	输入	输出	A	NOT A	0	1	1	0				
输入	输出																	
A	NOT A																	
0	1																	
1	0																	
AND			"与"门/"及"门/"且"门	所有输入为高时，才会有高的输出。一低出低。	$A \cdot B$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A AND B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0</td> </tr> <tr> <td>0 1</td> <td>0</td> </tr> <tr> <td>1 0</td> <td>0</td> </tr> <tr> <td>1 1</td> <td>1</td> </tr> </tbody> </table>	输入	输出	A B	A AND B	0 0	0	0 1	0	1 0	0	1 1	1
输入	输出																	
A B	A AND B																	
0 0	0																	
0 1	0																	
1 0	0																	
1 1	1																	
NAND			"与非"门/"反及"门/"非与"门/"反且"门	所有输入为高时，才会有低的输出。一低出高。	$\overline{A \cdot B}$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A NAND B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>1</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> <tr> <td>1 0</td> <td>1</td> </tr> <tr> <td>1 1</td> <td>0</td> </tr> </tbody> </table>	输入	输出	A B	A NAND B	0 0	1	0 1	1	1 0	1	1 1	0
输入	输出																	
A B	A NAND B																	
0 0	1																	
0 1	1																	
1 0	1																	
1 1	0																	
OR			"或"门	所有输入为低时，才会有低的输出。一高出高。	$A + B$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A OR B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> <tr> <td>1 0</td> <td>1</td> </tr> <tr> <td>1 1</td> <td>1</td> </tr> </tbody> </table>	输入	输出	A B	A OR B	0 0	0	0 1	1	1 0	1	1 1	1
输入	输出																	
A B	A OR B																	
0 0	0																	
0 1	1																	
1 0	1																	
1 1	1																	
NOR			"或非"门/"反或"门/"非或"门/"反或"门	所有输入为低时，才会有高的输出。一高出低。	$\overline{A + B}$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A NOR B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>1</td> </tr> <tr> <td>0 1</td> <td>0</td> </tr> <tr> <td>1 0</td> <td>0</td> </tr> <tr> <td>1 1</td> <td>0</td> </tr> </tbody> </table>	输入	输出	A B	A NOR B	0 0	1	0 1	0	1 0	0	1 1	0
输入	输出																	
A B	A NOR B																	
0 0	1																	
0 1	0																	
1 0	0																	
1 1	0																	
XOR			"异或"门/"互斥或"门	只有其中一个输入为高时，输出为高；否则为低。	$A \oplus B$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A XOR B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> <tr> <td>1 0</td> <td>1</td> </tr> <tr> <td>1 1</td> <td>0</td> </tr> </tbody> </table>	输入	输出	A B	A XOR B	0 0	0	0 1	1	1 0	1	1 1	0
输入	输出																	
A B	A XOR B																	
0 0	0																	
0 1	1																	
1 0	1																	
1 1	0																	
XNOR			"同或"门/"反互斥或"门/"互斥或非"门	只有其中一个输入为高时，输出为低；否则为高。	$\overline{A \oplus B}$ 或 $A \odot B$	<table border="1"> <thead> <tr> <th>输入</th> <th>输出</th> </tr> <tr> <th>A B</th> <th>A XNOR B</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>1</td> </tr> <tr> <td>0 1</td> <td>0</td> </tr> <tr> <td>1 0</td> <td>0</td> </tr> <tr> <td>1 1</td> <td>1</td> </tr> </tbody> </table>	输入	输出	A B	A XNOR B	0 0	1	0 1	0	1 0	0	1 1	1
输入	输出																	
A B	A XNOR B																	
0 0	1																	
0 1	0																	
1 0	0																	
1 1	1																	

基因的表达调控网络 => 逻辑电路



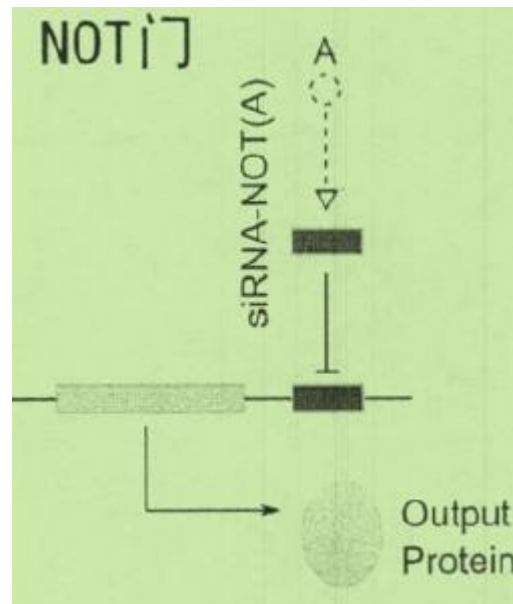
基因的表达调控网络 => 逻辑电路



人工组合逻辑网络可分为：

1. RNA水平

利用RNAi;siRNA;miRNA等等



人工组合逻辑网络可分为：

1. RNA水平
2. 蛋白水平

可以利用**自抑制**的卷曲螺旋（coiled coil）（当有竞争物存在时，可激活）

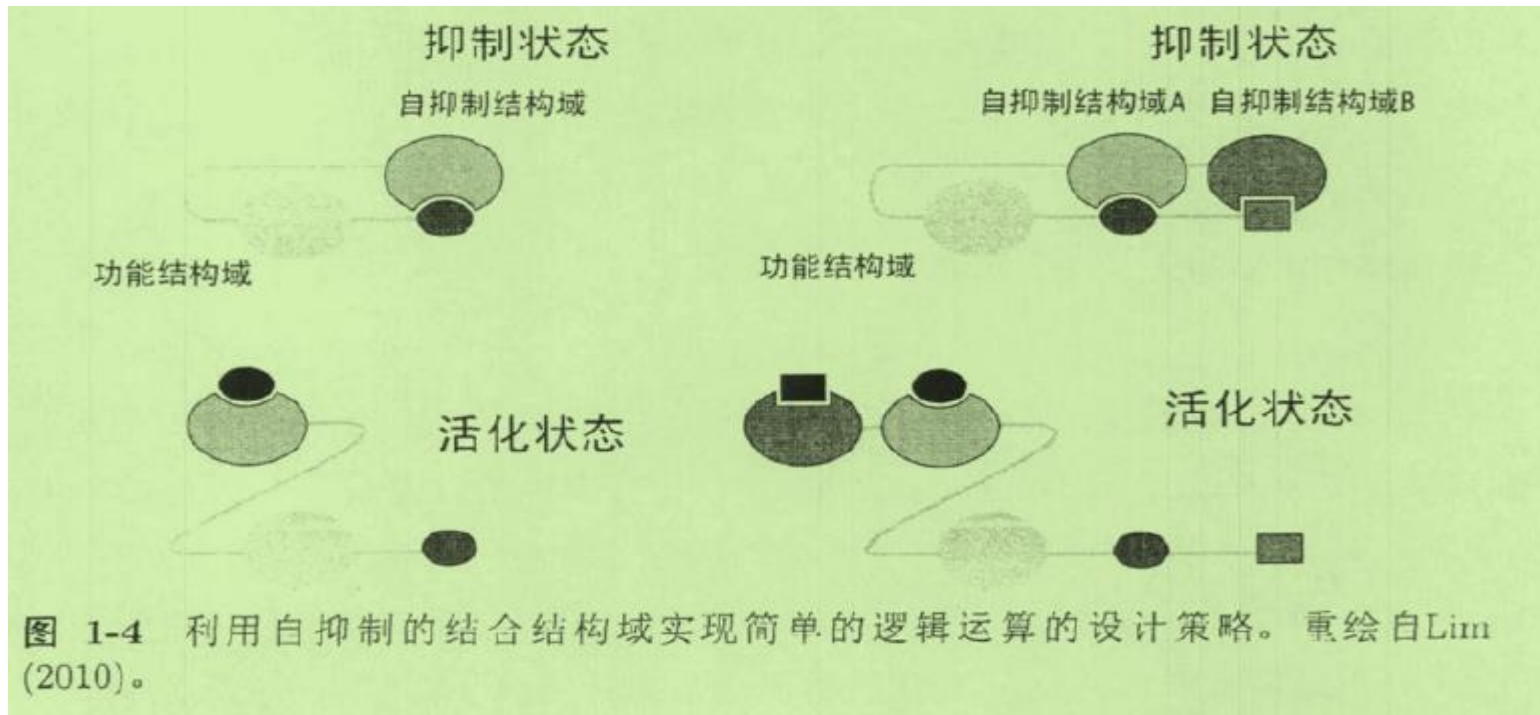


图 1-4 利用自抑制的结合结构域实现简单的逻辑运算的设计策略。重绘自Lim (2010)。

人工组合逻辑网络可分为：

1. RNA水平
2. 蛋白水平
3. *代谢调控水平*

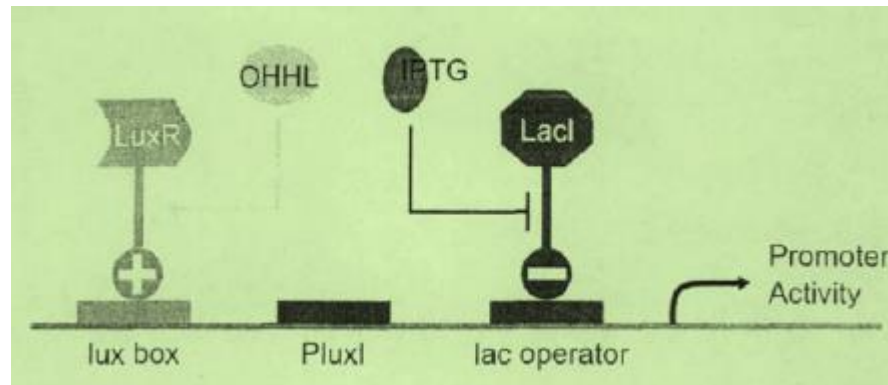
代谢调控水平上，利用小分子传递信号：

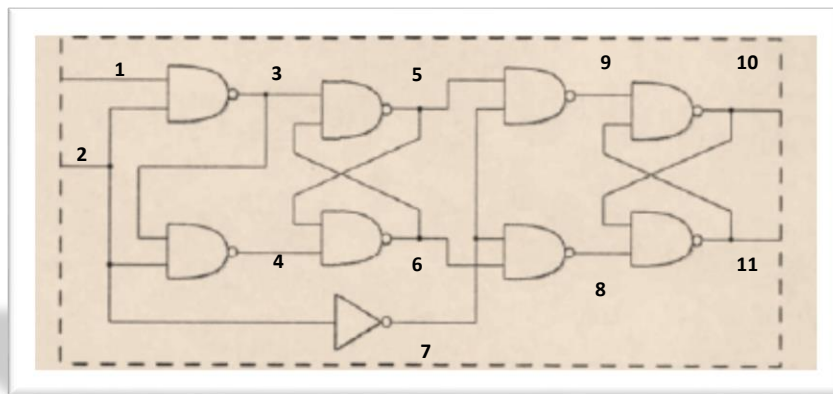
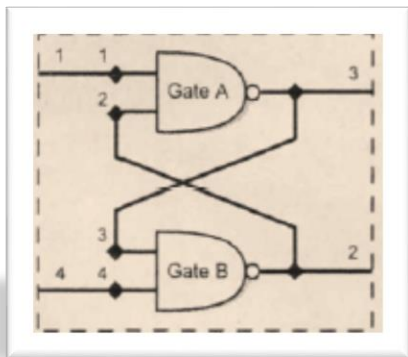
例如：乙酰辅酶A与其代谢产物乙酰磷酸，乙酸根，乙酸之间的相互作用

人工组合逻辑网络可分为：

1. RNA水平
2. 蛋白水平
3. 代谢调控水平
4. **转录水平** →

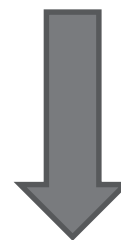
利用 转录因子与操作基因 的相互作用对
设计转录逻辑门



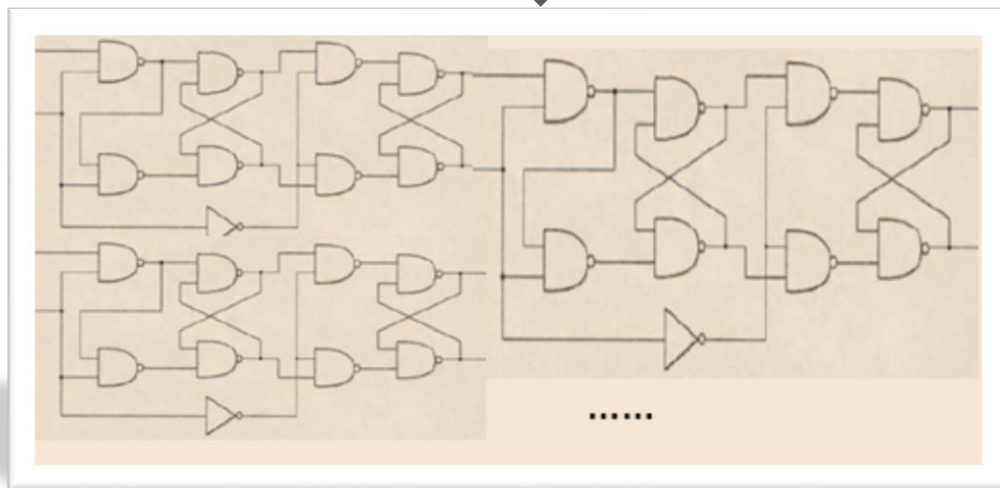


11种

需：
转录因子与操作基因pair
4种



Extend

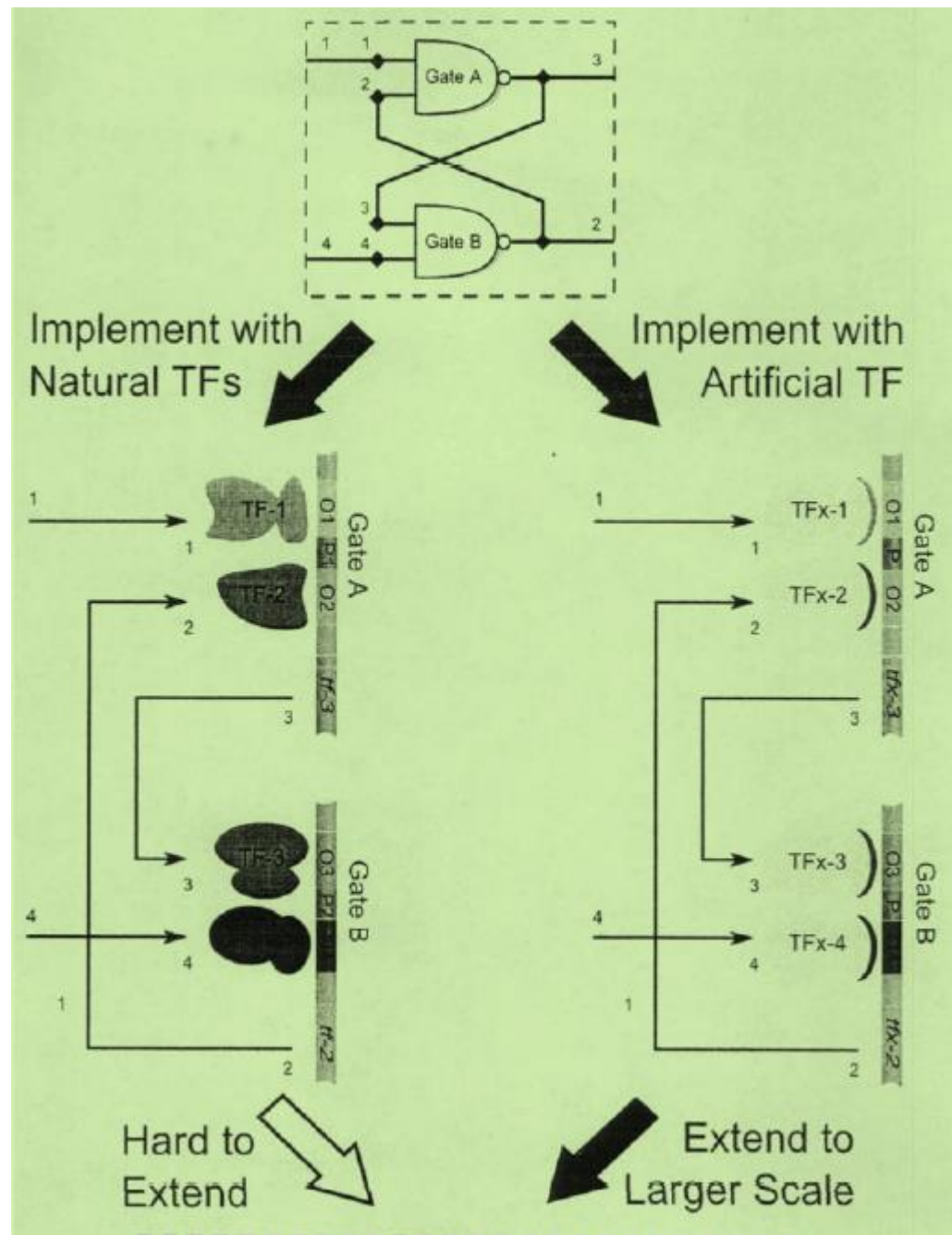


N种

找到如此多的天然分子相互作用集合是一件相当耗费人力物力的事。

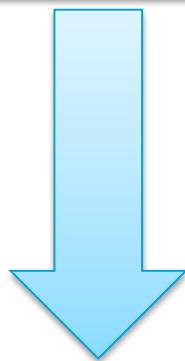
对于构建复杂的转录逻辑网络，这是不现实的

因此，需要人工设计的转录组件。



人工转录组件流程

定点突变→特定位点

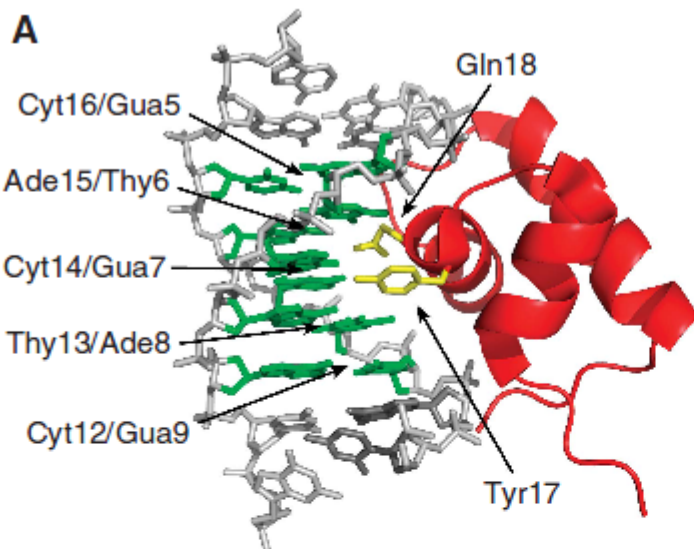


定向进化筛选

1. 表达阻遏蛋白的质粒
2. 报告启动子活性的质粒

为了获得高特异性人工阻遏蛋白-操纵基因对，我们首先建立了完整的筛选人工高特异性阻遏蛋白-操纵基因对以及逻辑启动子的系统。这一系统由表达阻遏蛋白变体的pUC-repressor质粒和报告启动子活性的pZS*-lacZa和DPv2F等质粒组成：

转录因子



C

	10	20	30
R1	AEYAGVSY	QTVSRVVN	QASHV
R2	AEYAGVSN	ATVSRVVN	QASHV
R3	AEYAGVSA	WTVSRVVN	QASHV
R4	AEYAGVSR	QTVSRVVN	QASHV
R5	AEYAGVSH	QTVSNVVN	QASHV

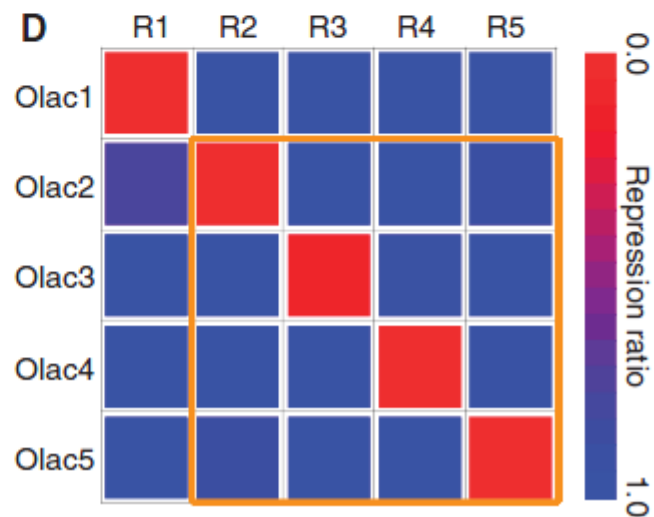
Recognition helix

17,18,19,20,21,22

操纵基因

B

	1	10	20
Olac1	AATT	GTGAGCG	TCACAATT
Olac2	AATT	STAAGCG	TTACAATT
Olac3	AATT	STAAACG	TTACAATT
Olac4	AATT	GTGAACG	TCACAATT
Olac5	AATT	TTGAGCG	TCAAATT

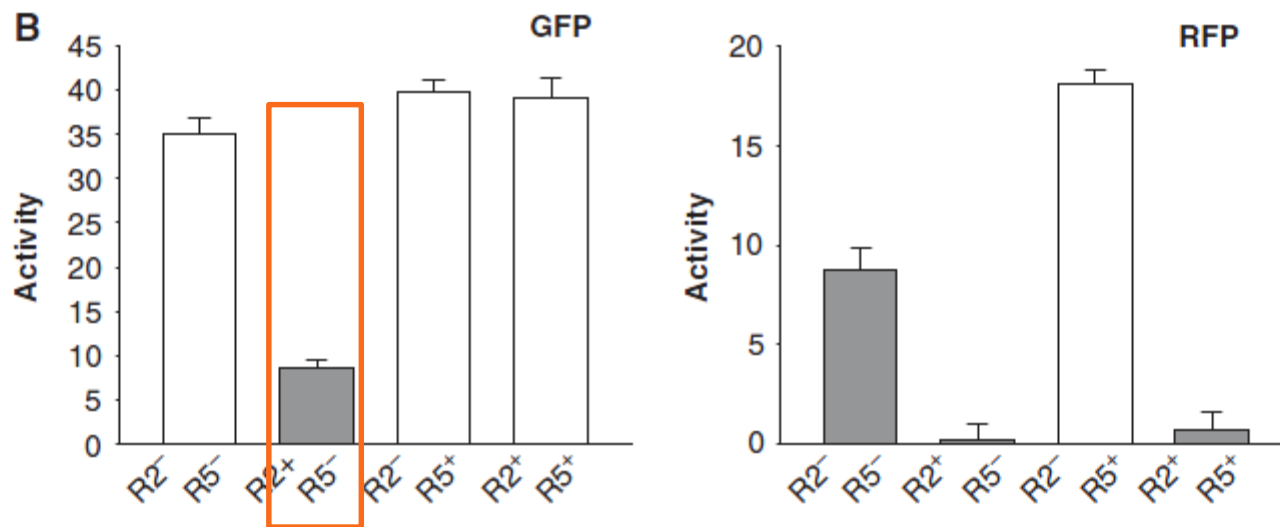
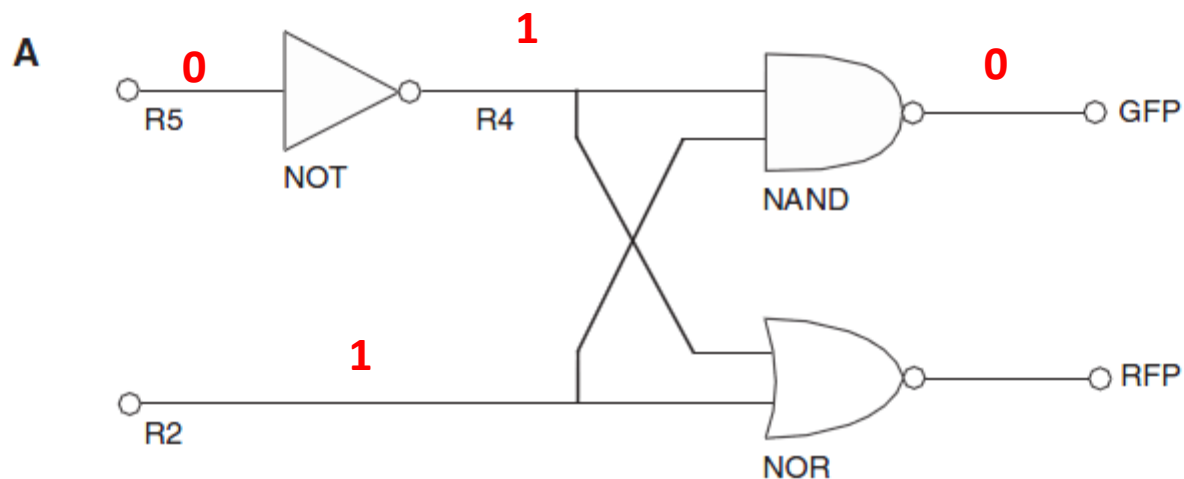


变体编号	能结合的操纵基因	突变
Rdbche-IQ	Olac1	17I
Rdbche-NM	Olac1	17N,18M
R2A0403	Olac2	17R,18G
R2A0301	Olac2	17C,18A
R2A0402	Olac2	17A,18S
R2A0204	Olac2	17C,18T
R2A0103	Olac2	17I,18C
R2A0201	Olac2	17T,18T
R2A0104	Olac2	17T,18S
R2A0203	Olac2	17N,18A
R2A0102	Olac2	17I,18C
R2A0101	Olac2	17F,18A
R2A0404	Olac2	18G
R3A2507	Olac3	17M,18M
R3A2201	Olac3	17H,18A
R3A1402	Olac3	17A,18W
R4A0604	Olac4	17R
R4A2205	Olac4	17T,18M
R4A1902	Olac4	17N,18P
R4A2202-1	Olac4	17H,18A
R4A2602	Olac4	17H,18A
R4A2502	Olac4	17N,18P

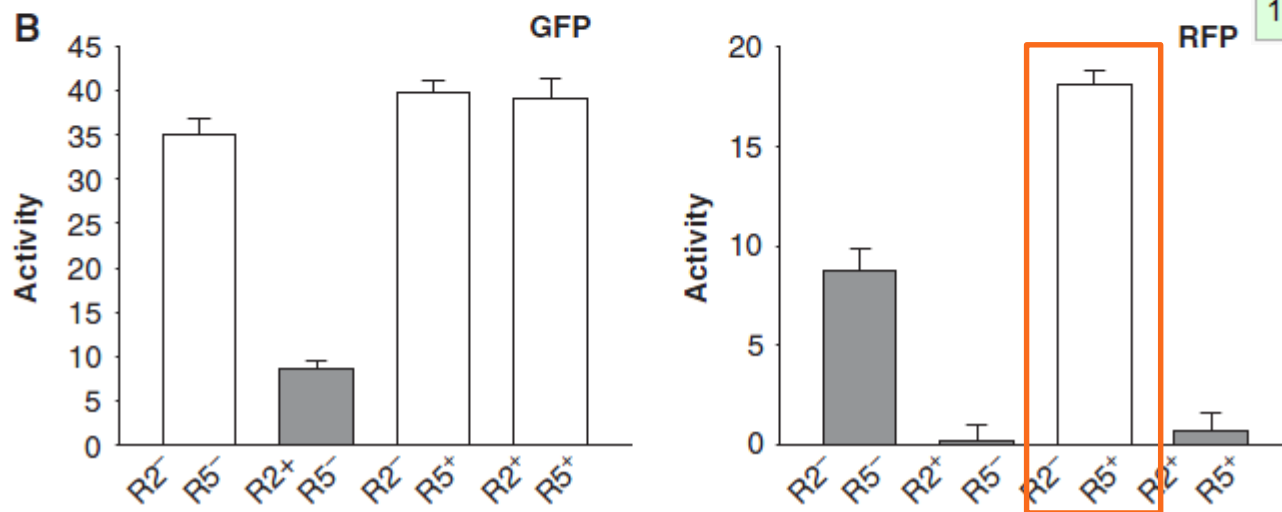
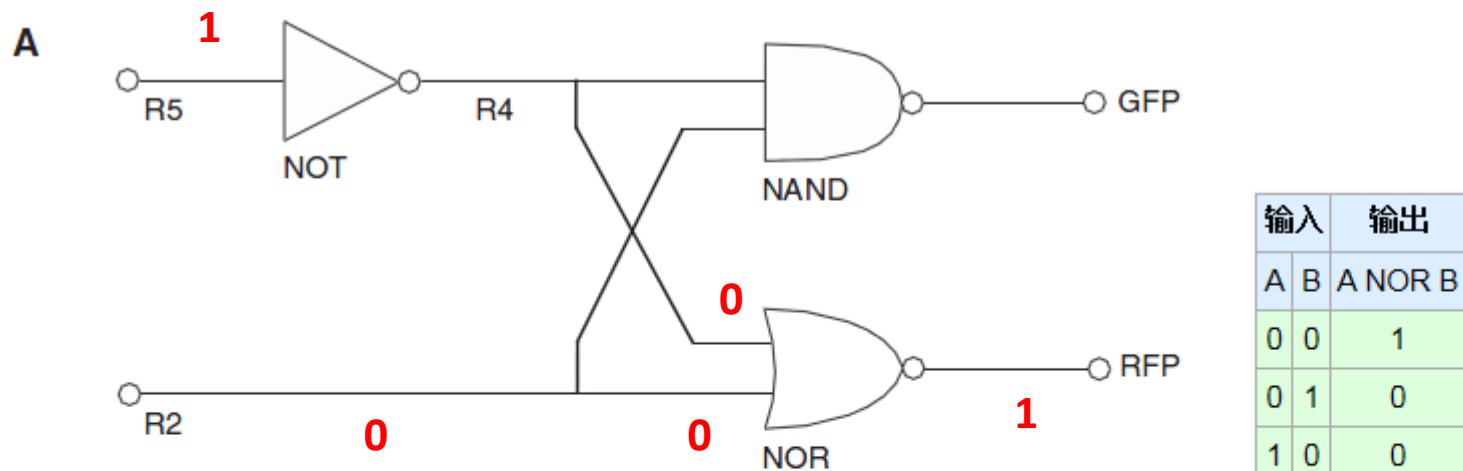
变体编号	能结合的操纵基因	突变
R3B2717	Olac3	16G,17H,18L,19Q
R3B2713	Olac3	16M,17Q,18E,19R
R3B2714	Olac3	16S,17R,18R,19P
R3B2711	Olac3	16V,17I,18S,19F
R3C2817	Olac3	17T,18G,21E,22G
R3C2711	Olac3	17G,18S,21M,22P
R3C1302	Olac3	17P,18P,21R
R3C1301	Olac3	17A,18G,21A
R3C1901	Olac3	17V,18P,21E
R4C2711	Olac4	17G,18G,21G
R4C2503	Olac4	17E,18G,21P,22L
R4C2811	Olac4	17A,18E,21D,22G

人工转录组件性能检验

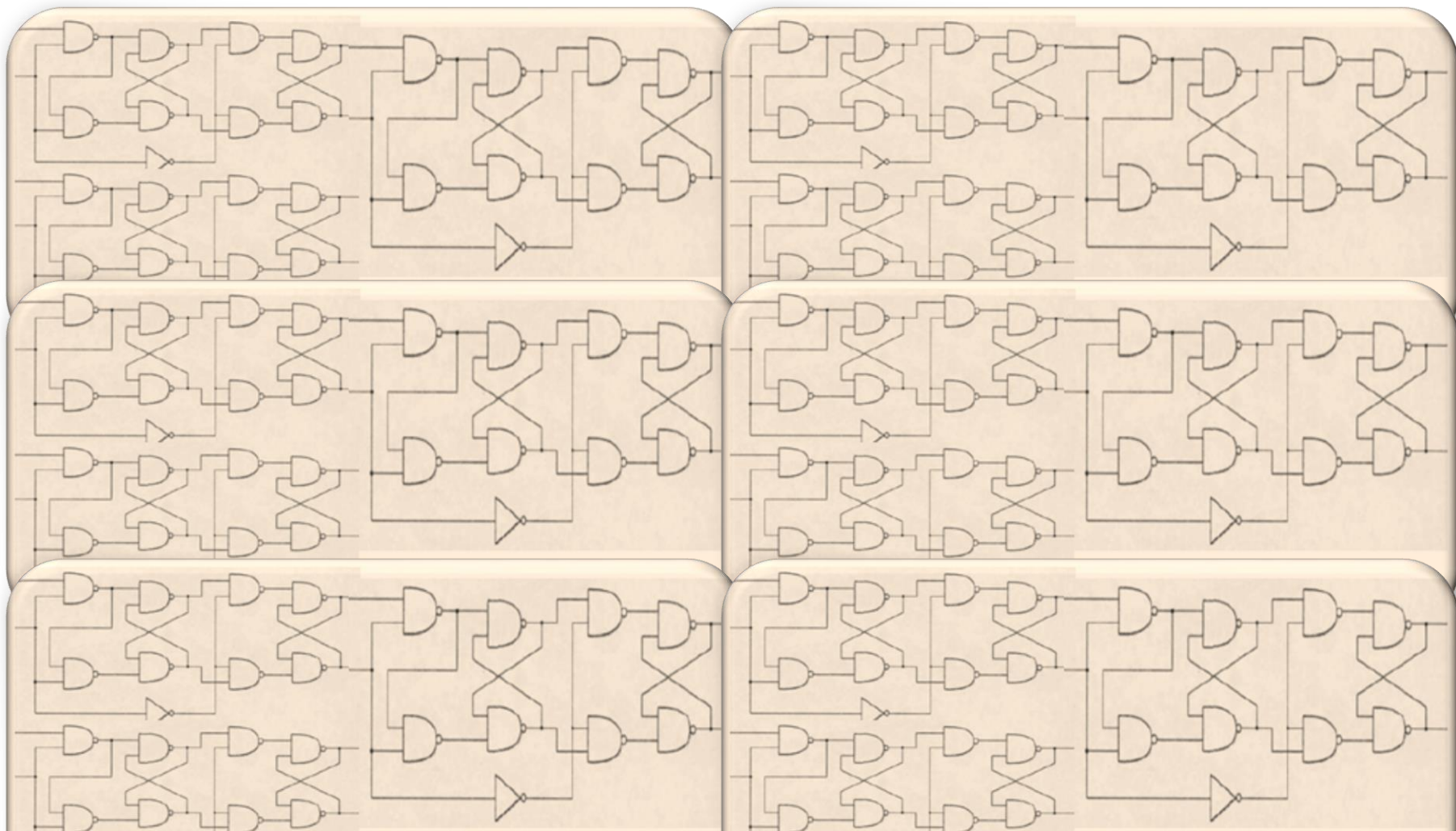
输入		输出	
A	B	A NAND B	B
0	0	1	0
0	1	1	1
1	0	1	0
1	1	0	1



人工转录组件性能检验



利用人工合成的转录组件实现复杂的人工转录逻辑网络



The End

THANK YOU!!

